

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 05-218850

(43) Date of publication of application : 27.08.1993

(51) Int.CI. H03K 19/0948

(21) Application number : 04-017537 (71) Applicant: NIPPON TELEGR & TELEPH CORP <NTT>
(22) Date of filing : 03.02.1992 (72) Inventor : DOUSEKI TAKAKUNI

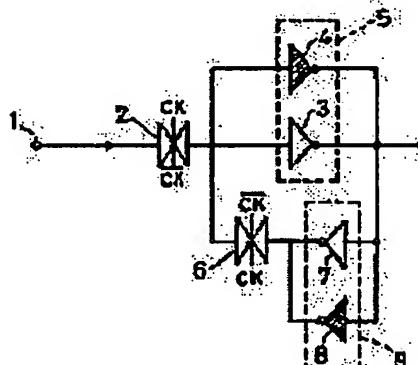
(54) LOGIC CIRCUIT

(57) Abstract:

PURPOSE: To increase the working speed of a latch circuit at the reduction of the power voltage end to reduce the power consumption in an inactive state of the latch circuit by providing a transfer gate of low threshold voltage, an inverter of high threshold value, end an inverter of mixed threshold value.

CONSTITUTION: A logic circuit consists the transfer gates 2 and 6 using the transistors of low threshold voltage, the high threshold value inverters 4 and 8 using the transistors of high threshold voltage, and the mixed threshold value inverters 3 and 7 using the high end low threshold voltage levels. Then, the gate 2 is connected to a 1st inverter 5 where both inverters 4 and 3 are connected in parallel to each other end to the gate 6. Meanwhile, the inverter 5 is connected to a 2nd inverter 9 where both inverters 7 and 8 are connected in parallel to

each other. Then, the inverter 9 is connected to the gate 6, and the inverter clock signals are inputted to both gates 2 and 6.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-218850

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.
H 03 K 19/0948

識別記号
8941-5 J

F I
H 03 K 19/094

技術表示箇所
B

審査請求 未請求 請求項の数2(全6頁)

(21)出願番号

特願平4-17537

(22)出願日

平成4年(1992)2月3日

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 道関 隆国

東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

(74)代理人 弁理士 伊東 忠彦

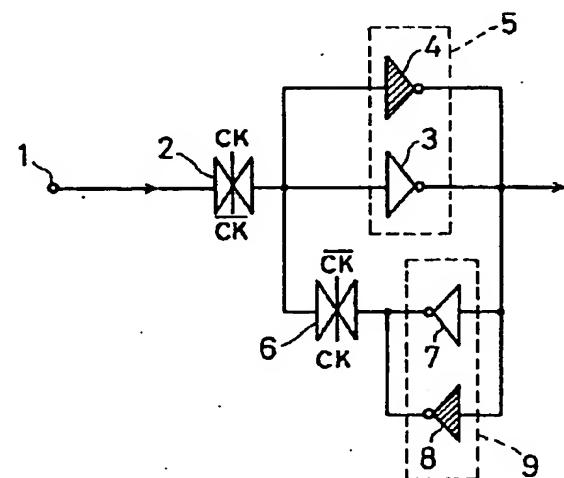
(54)【発明の名称】論理回路

(57)【要約】

【目的】本発明の目的は電源電圧を低電圧化した場合のラッチ回路の高速化、及び非動作時の消費電力を削減することである。

【構成】本発明は、低閾値電圧のトランジスタを用いたトランスマニア・ゲート2、6、高閾値電圧のトランジスタを用いた高閾値インバータ4、8及び高閾値電圧と低閾値電圧の2種類の閾値電圧を用いた混合閾値インバータ3、7を閾値電圧の異なるトランジスタで構成される。

本発明の基本構成図



【特許請求の範囲】

【請求項1】 低閾値電圧のトランジスタを用いたトランジスタ・ゲート、高閾値電圧のトランジスタを用いた高閾値インバータ及び高閾値電圧と低閾値電圧の2種類の閾値電圧を用いた混合閾値インバータで構成されるラッチ回路において、
第1のトランジスタ・ゲートを高閾値インバータと混合閾値インバータを並列接続した第1のインバータ及び、
第2のトランジスタ・ゲートに接続し、
前記第1のインバータを高閾値インバータと混合閾値インバータを並列接続した第2のインバータに接続し、
前記第2のインバータを前記第2のトランジスタ・ゲートに接続し、
前記第1及び第2のトランジスタ・ゲートに反転クロック信号を入力することを特徴とする論理回路。

【請求項2】 前記混合閾値インバータに低閾値電圧トランジスタを用いた低閾値インバタ回路の電源ノードと外部電源線の間に高閾値電圧トランジスタを接続し、該高閾値電圧トランジスタのゲートには制御信号を入力することを特徴とする請求項1記載の論理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は論理回路に係り、特に、閾値電圧の異なるMOSトランジスタで構成した論理回路であり、さらに、電源電圧が1V以下で低電圧動作可能なラッチ回路に用いられる論理回路に関する。

【0002】

【従来の技術】 図6は、従来のラッチ回路の例であるDフリップフロップ回路の構成を示す。同図のDフリップフロップ(以下、DFF)回路は、単一の閾値電圧をもつトランジスタで構成したラッチ回路により構成されている。このような回路の例としては、「香山著：『超高速MOSデバイス』pp 244, 1986年」がある。2相クロックCK及び

【数1】

— CK —

でラッチ回路を制御することにより、データ転送を行っている。

【0003】 同図のDFF回路は、トランジスタ・ゲート63、64、インバータ65、66から構成されるラッチ回路61と、トランジスタ・ゲート67、68、インバータ69、70から構成されるラッチ回路62と、インバータ60と、反転信号のバッファであるインバータ71、及び正転信号のバッファであるインバータ72により構成される。

【0004】 具体的には、まず、入力データDの信号は、インバータ60を介して初段のラッチ回路61にクロック信号により取り込まれる。ラッチ回路61のトランジスタ・ゲート63の出力はインバータ65に入力さ

れ、さらにトランジスタ・ゲート64の出力に接続される。インバータ65の出力はインバータ66に入力され、インバータ66の出力はトランジスタ・ゲート64に入力される。次に、初段のラッチ回路61のデータ信号が次段のラッチ回路62に取り込まれる。初段のラッチ回路61のインバータ65の出力は、次段のラッチ回路62のトランジスタ・ゲート67に入力される。トランジスタ・ゲート67の出力はインバータ70、71、トランジスタ・ゲート68に入力される。インバータ71はトランジスタ・ゲートより入力された信号を一時蓄え、クロックにより制御して反転信号

【数2】

— Q —

を出力する。インバータ70の出力はインバータ69を介してトランジスタ・ゲートに入力され、また、インバータ72に入力される。インバータ72はインバータ70から入力された信号を一時蓄え、クロックにより制御して正転信号Qを出力する。

【0005】

【発明が解決しようとする課題】 図6に示すような、単一の閾値電圧をもつトランジスタで構成されるDFF回路の電源電圧を低下させた場合、各トランジスタのゲート・ソース間電圧が閾値電圧に接近して相互コンダクタンスg_mが低下するため、遅延時間が増大するという問題がある。また、DFF回路を構成するすべてのトランジスタの閾値電圧を低下させて、遅延時間の増大を抑えると、非動作時にトランジスタの閾値電圧を低下させた分だけ、リーク電流が大きくなり、消費電力が増大するという問題がある。

【0006】 本発明は上記の点に鑑みなされたもので、電源電圧が低電圧化した状態であってもラッチ回路の高速化及び、非動作時の消費電力を削減することができる論理回路を提供することを目的とする。

【0007】

【課題を解決するための手段】 図1は本発明の基本構成図である。本発明は、低閾値電圧のトランジスタを用いたトランジスタ・ゲート2、6、高閾値電圧のトランジスタを用いた高閾値インバータ4、8及び高閾値電圧と低閾値電圧の2種類の閾値電圧を用いた混合閾値インバータ3、7で構成されるラッチ回路において、第1のトランジスタ・ゲート2を高閾値インバータ4と混合閾値インバータ3を並列接続した第1のインバータ5及び、第2のトランジスタ・ゲート6に接続し、第1のインバータ5を高閾値インバータ8と混合閾値インバータ7を並列接続した第2のインバータ9に接続し、第2のインバータ9を第2のトランジスタ・ゲート6に接続し、第1及び第2のトランジスタ・ゲート2、6に反転クロック信号を入力する構成である。

【0008】 また、本発明は上記の混合閾値インバータ

3、7を低閾値電圧トランジスタを用いた低閾値インバータ回路とし、電源ノードと外部電源線の間に高閾値電圧トランジスタを接続し、高閾値電圧トランジスタのゲートには制御信号を入力する構成も考えられる。

【0009】

【作用】本発明は、ラッチ回路に低閾値電圧のトランジスタを用いていることにより回路動作の高速化を図ることができる。また、混合閾値インバータの高閾値トランジスタを外部電源に接続しているので、非動作時はオフ状態が保たれるために消費電力を増加させることができない。

【0010】

【実施例】図2は本発明の第1の実施例のラッチ回路の例を示す図である。同図では、ラッチ回路として、DF F回路の例を示す。また、図3は図2のトランジスタ・ゲート及びインバータを構成するトランジスタを示す。

【0011】図2に示されるトランジスタ・ゲート2、26、32、38は、図3(a)に示すように低閾値トランジスタT₁、T₂より構成される。図2に示される混合閾値インバータ21、23、27、35、36は、図3(b)に示すように高閾値トランジスタT₆、T₅及び低閾値トランジスタT₄、T₃により構成される。図2に示される高閾値インバータ24、28、34、37は、図3(c)に示すように、高閾値トランジスタT₈、T₇により構成される。インバータ33は反転信号のバッファで出力信号

【数3】

—
Q

を出力する。また、インバータ39は正転信号のバッファで出力信号Qを出力する。

【0012】本実施例のDF F回路は、高閾値電圧トランジスタT₅、T₆、T₇、T₈と低閾値電圧トランジスタT₁、T₂、T₃、T₄で構成した第1のラッチ回路30と第2のラッチ回路31の2段のラッチ回路で構成される。

【0013】まず、ラッチ回路30は、入力端子20から入力されたデータDを混合閾値インバータ21を介して取り込む。第1のトランジスタ・ゲート22は高閾値インバータ24と混合閾値インバータ23を並列接続した第1のインバータ25、及び第2のトランジスタ・ゲート26に接続される。第1のインバータ25の出力は、第1のインバータと同様に並列に接続されている第2のインバータ29に入力される。第2のインバータ29の出力は、第2のトランジスタ・ゲート26に入力される。第1のトランジスタ・ゲート22及び第2のトランジスタ・ゲート26には反転クロック信号が接続される。

【0014】次にラッチ回路31は、前段のラッチ回路30からの出を取り込む。第3のトランジスタ・ゲー

ト32は、高閾値インバータ34と混合閾値インバータ35を並列接続した第3のインバータ40、及び第4のトランジスタ・ゲート38、反転信号用のインバータ33に接続される。第3のインバータ40は、第4のインバータ41に接続され、第4のインバータ41の出力は第4のトランジスタ・ゲート38に入力される。第3のトランジスタ・ゲート32及び、第4のトランジスタ・ゲート38には反転クロック信号が接続される。

【0015】上記のような構成のラッチ回路を構成するトランジスタ・ゲートは、図3(a)に示すように低閾値電圧のMOSトランジスタT₁、T₂を用いて、各トランジスタのゲートにクロック信号を入力する。

【0016】次に、インバータ回路は図3(b)に示すように、低閾値電圧のMOSトランジスタT₃、T₄を用いたCMOSインバータの低電源ノードと外部nMOSトランジスタT₅を接続している。外部高電位電源V_{DD}とインバータの高電源ノードの間に、高閾値電圧の外部pMOSトランジスタT₆を接続している。

【0017】図2のラッチ回路30に示す混合閾値インバータ23、27の各々外部nMOSトランジスタT₅のゲートには制御信号である高レベル選択信号CSが、外部pMOSトランジスタT₆のゲートには、制御信号である低レベル選択信号CSBが入力される。また、その混合閾値インバータ23、27と並列にそれぞれ高閾値電圧のMOSトランジスタT₇、T₈で構成した高閾値CMOSインバータ24、28が接続される。ラッチ回路31についても同様である。

【0018】次に、本発明の第1の実施例の動作を説明する。まず、制御信号の高レベル選択信号CSと低レベル選択信号CSBが選択された場合について説明する。混合閾値インバータの外部nMOSトランジスタT₅及び外部pMOSトランジスタT₆が導通状態となり、低閾値電圧のMOSトランジスタT₃、T₄で構成したCMOSインバータ及び、低閾値電圧のトランジスタ・ゲートが動作するため、高速のDF F動作が可能となる。

【0019】次に、制御信号CS、CSBが非選択時の場合について説明する。混合閾値インバータの外部nMOSトランジスタT₅及び、外部pMOSトランジスタT₆が非導通状態となるため、低閾値電圧のMOSトランジスタT₃、T₄で構成したCMOSインバータは、非動作状態となる。このとき、混合閾値インバータと並列に接続された高閾値インバータがデータを保持するために、ラッチ回路のデータは破壊されない。例えば、ラッチ回路30については、高閾値インバータ24と並列に接続されている混合閾値インバータ23から構成されるインバータ25、及び高閾値インバータ28と並列に接続されている混合閾値インバータ27から構成されるインバータ29によりラッチ回路30のデータは確保される。また、高閾値電圧の外部nMOSトランジスタT

₅ 及び外部 p MOS トランジスタ T₆ のみが外部電源線に接続されていて、非動作時の消費電力の増大はない。

【0020】図4は本発明の第2の実施例を示す。本実施例は、第1の実施例の高閾値トランジスタと低閾値トランジスタから構成される混合閾値インバータを低閾値トランジスタにより構成される低閾値インバータとし、さらに、各混合閾値インバータの外部トランジスタを DFF回路ブロックで1つの外部nMOSトランジスタ T₉ 及び外部pMOSトランジスタ T₁₀ にまとめたものである。同図(A)はラッチ回路の構成を示し、同図(B)は同図(A)における低閾値インバータのトランジスタの構成を示す。

【0021】同図(A)において、ラッチ回路43は、トランസ്ഫা・ゲート45、48、高閾値インバータ46、50、低閾値インバータ47、49より構成される。また、ラッチ回路44は、トランസ्फা・ゲート51、54、高閾値インバータ52、56、低閾値インバータ53、55より構成される。インバータ58は、反転信号のバッファであり、反転信号

【数4】

Q

を出力する。インバータ57は、正転信号のバッファであり、出力信号Qを出力する。このうち、低閾値インバータ47、49、53、55は、低閾値MOSトランジスタ T₁₁、T₁₂により構成される。

【0022】これらのラッチ回路43、44のノードの一方には、外部pMOSトランジスタ T₁₀のドレインが接続され、ゲートには低レベル選択信号CSBが入力され、ソースには、外部高電位電源V_{DD}が接続される。他方のノードには、外部nMOSトランジスタ T₉のソースが接続され、ゲートには高レベル選択信号CSが入力され、ドレインは接地される。

【0023】本実施例のように外部電源に接続される外部トランジスタをまとめることにより、トランジスタ数を削減でき、小面積化を図ることができる。

【0024】図5は、本発明の効果を示すグラフである。同グラフの縦軸は、ラッチ回路を正常に動作させるクロック信号(CK)の最高周波数である最高トグル周波数(MHz)を示し、横軸は、電源電圧V_{DD}を示す。グラフPは本発明の回路を用いた場合を示し、グラフQは従来の回路を用いた場合を示す。

【0025】電源電圧が1Vの場合、本発明の回路を用

いた場合に最高トグル周波数は、500MHzとなる。従来の回路を用いた場合は、100MHzであるから、本発明の回路を用いた場合には、非動作時の消費電力を増加させることなく、DFF回路の最高トグル周波数を従来の回路の5倍に上昇できる。

【0026】

【発明の効果】上述のように、本発明の論理回路によれば、閾値電圧の小さいトランジスタを用いるため、電源電圧が低下しても高速化できる。また、非動作時には、閾値電圧の大きいトランジスタで論理回路を非導通状態にできるため、消費電力を削減できる。

【図面の簡単な説明】

【図1】本発明の基本構成図である。

【図2】本発明の第1の実施例のラッチ回路の例を示す図である。

【図3】図2のトランസ്ഫা・ゲート及びインバータを構成するトランジスタを示す図である。

【図4】本発明の第2の実施例を示す図である。

【図5】本発明の効果を示すグラフである。

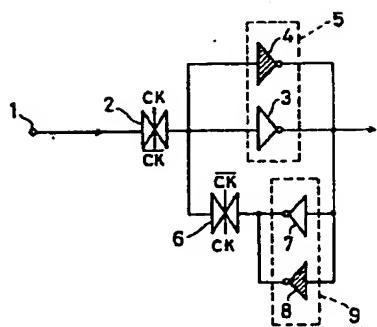
【図6】従来のラッチ回路の例であるDFF回路構成図である。

【符号の説明】

- 1, 20 入力端子
- 2, 6, 22, 26, 32, 38, 45, 48, 51, 54 トランസ്ഫা・ゲート
- 3, 7, 21, 23, 27, 35, 36, 47, 49, 53, 55 混合閾値インバータ
- 4, 8, 24, 28, 34, 37, 46, 50, 52, 56 高閾値インバータ
- 5, 25 第1のインバータ
- 9, 29 第2のインバータ
- 30, 31, 43, 44 ラッチ回路
- 33, 58, 71 反転信号用バッファのインバータ
- 39, 57, 72 正転信号用バッファのインバータ
- 40 第3のインバータ
- 41 第4のインバータ
- T₁, T₂ 低閾値MOSトランジスタ
- T₃, T₄ 低閾値MOSトランジスタ
- T₅ 高閾値外部nMOSトランジスタ
- T₆ 高閾値外部pMOSトランジスタ
- T₇, T₈ 高閾値MOSトランジスタ
- T₉ 高閾値外部nMOSトランジスタ
- T₁₀ 高閾値外部pMOSトランジスタ
- T₁₁, T₁₂ 低閾値MOSトランジスタ

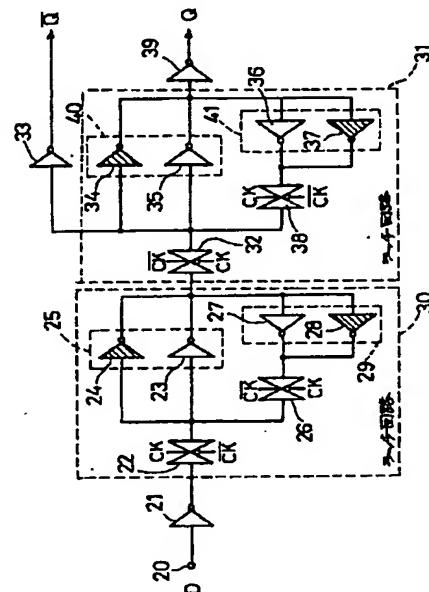
【図1】

本発明の基本構成図



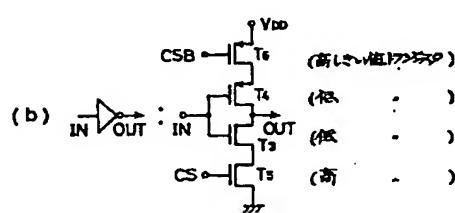
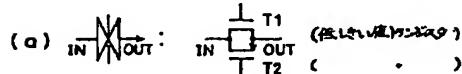
【図2】

本発明の第1の実施例のファンタ回路の例を示す図



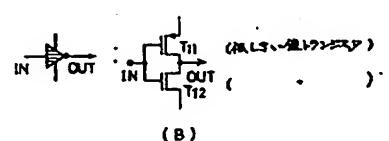
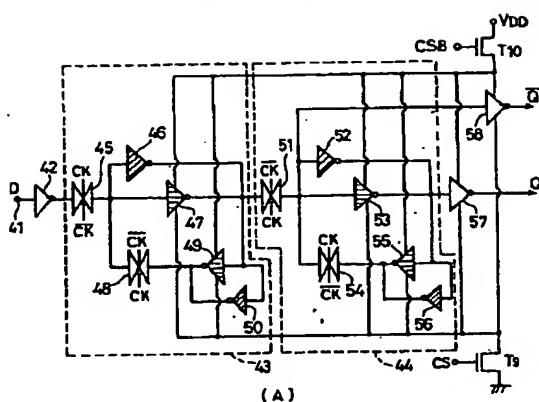
【図3】

図2のトランジスタゲート及びインバータを構成するトランジスタを示す図

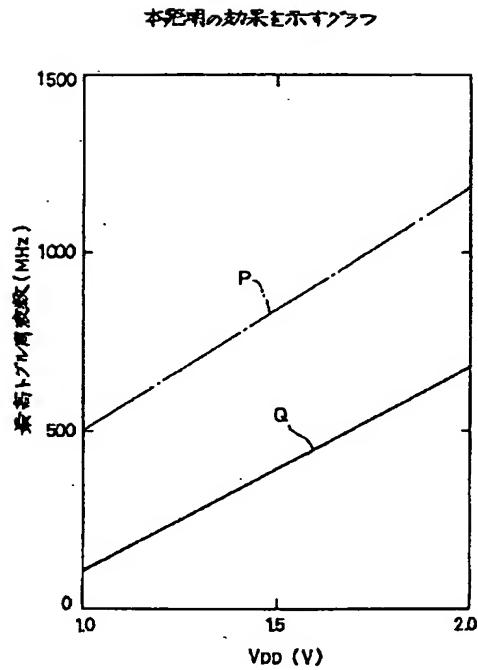


【図4】

本発明の第2の実施例を示す図



【図5】



【図6】

従来のライチ回路の例であるDFF回路の構成図

